

II Conception des cellules MOS

1. Circuits logiques combinatoires

- Logique Complémentaire (CMOS)
- Logique nMOS - Logique Pseudo-nMOS
- Logique d'interrupteurs

2. Dessins de masques

- Règles de dessin - Usage des diverse couches
- Diagrammes bâtons

3. Circuits logiques séquentiels

- Mémoires élémentaires
- ROM/RAM

4. Délais et Consommation

- Rappels - Estimation des délais, modèle RC
- Sortance - Consommation statique et dynamique
- Consommation électrique

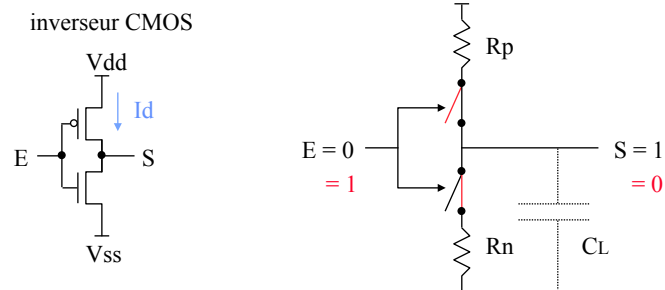
5. Interconnexions

81

II.1 Circuits logiques combinatoires



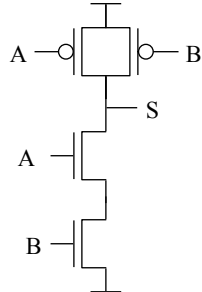
• 1.1 Logique complémentaire : CMOS



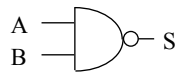
82

NAND et NOR

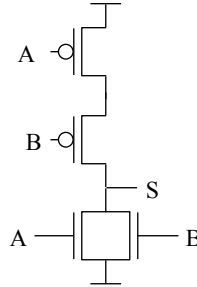
NAND



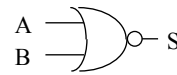
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



NOR



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



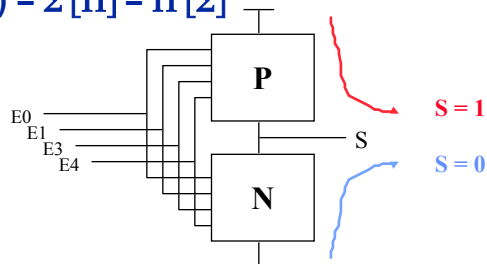
-> Généralisable à n entrées

83

Conception pour portes complexes

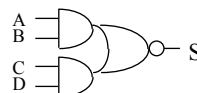
- Permet de générer le complément de toute formule ET/OU
- Réseau pMOS fournit le "1", réseau nMOS fournit le "0"

$$S = f(E) = \Sigma [\Pi] = \Pi [\Sigma]$$



- **Problème de Fan-in important pour portes très complexes**
 - Inefficaces pour l'implantation de rapides et complexes portes → alternative : mise en cascade ou techniques à base de portes de transfert

- **Exemple : $S = \overline{A \cdot B + C \cdot D}$**
porte AOI (And Or Invert)



84

Principe général

- Règles de traduction du complément de la sortie

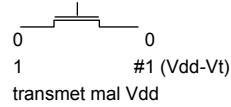
F	réseau N	réseau P
x	x	x
F1.F2		
F1+F2		

85

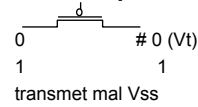
1.2 Logique d'interrupteurs

- Porte de transfert

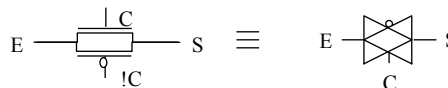
Transistor nMOS



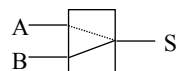
Transistor pMOS



⇒ porte de transmission
(*transmission gate*)



- Exemple : MUX 2 voies



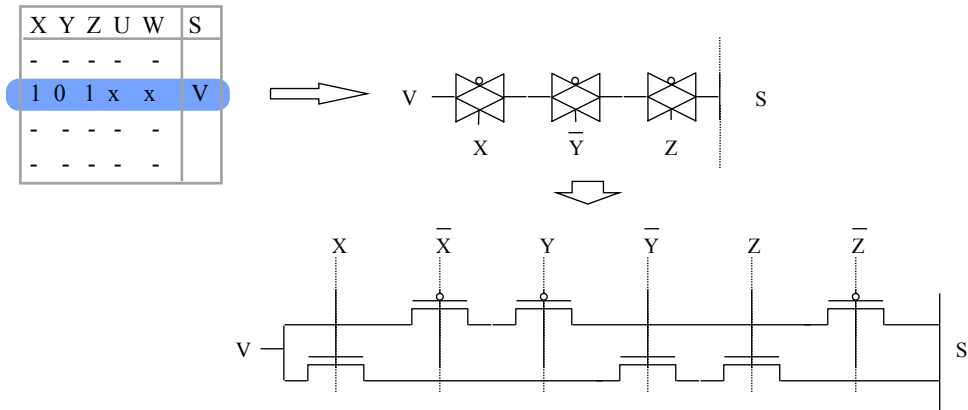
$$S = \begin{cases} A & \text{si } C = 0 \\ B & \text{si } C = 1 \end{cases}$$

$$S = A \cdot \bar{C} + B \cdot C$$

- Exemple : XOR

86

Méthode générale



- Simplifications**

- si $V = 0$ on peut supprimer le pMOS
- si $V = 1$ on peut supprimer le nMOS

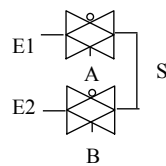
- Pour des raisons de fabrication on regroupe les transistors N et les transistors P (voir dessins de masque)**

87

Précautions d'emploi

- Solution en général plus compacte que la logique à base de portes MAIS il faut :**

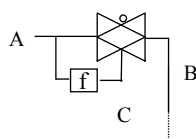
- éviter un grand nombre de transistors en série
perte de tension, temps de propagation
- maîtriser les conflits



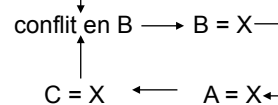
Si A et B à 1 et $E1 \neq E2$

- S est indéfinie
- E1 et E2 sont perturbées

- Règles : une entrée de contrôle ne doit pas dépendre d'une entrée de données**



Conflit temporaire lorsque C passe à 1



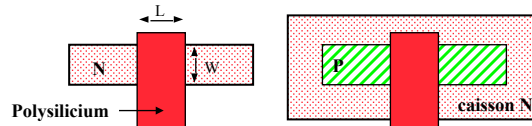
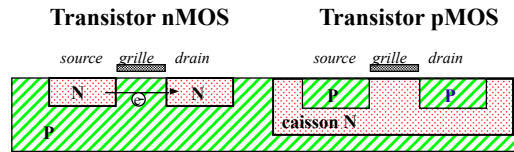
88

II.2. Dessins de masques

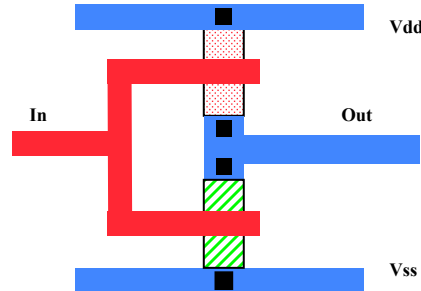
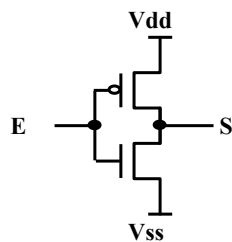
• Layout CMOS

Technologie X nm ou 2λ

λ : plus petit taille de dessin masque
canal transistor : 2λ



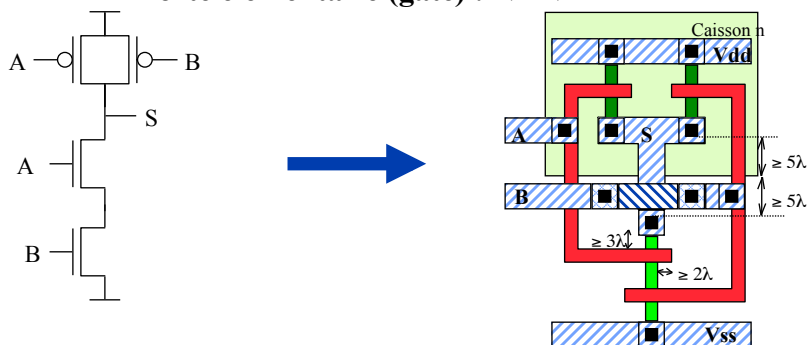
• Le diagramme STICK



89

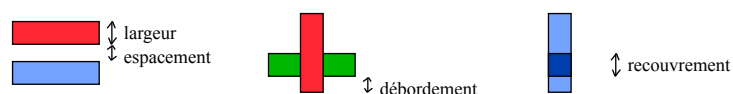
Technologie CMOS

Porte élémentaire (gate) : NAND



• Règles de dessin (DRC)

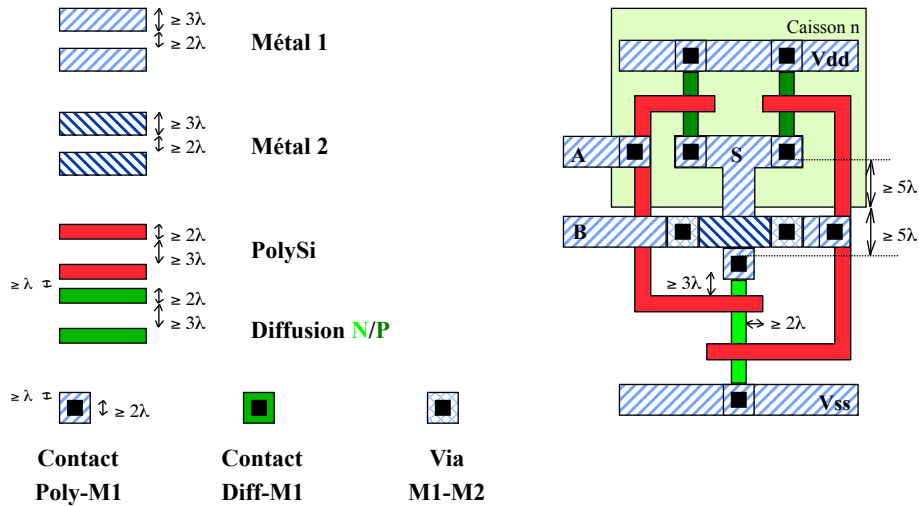
largeur : largeur min. autorisée pour chaque couche
 espacement : séparation min. entre zones non connectées
 débordement : dépassement min. d'une couche au delà de l'autre
 recouvrement : distance min. de recouvrement entre deux couches



90

Règles de dessin

• Règles pour un exemple de process



91

Usage des diverses couches

• Interconnexions possibles entre couches

- Métal1-Poly
- Métal1-Diffusion N
- Métal1-Diffusion P
- Métal1-Métal2 (VIA)

• Métal de niveaux 1 et 2 : faible résistivité

- Interconnexions longues
- Masse et Alimentation

• PolySi : résistivité plus élevée

- Interconnexions de longueur moyenne
- Interconnexions de grille dans une cellule standard
- Resistances

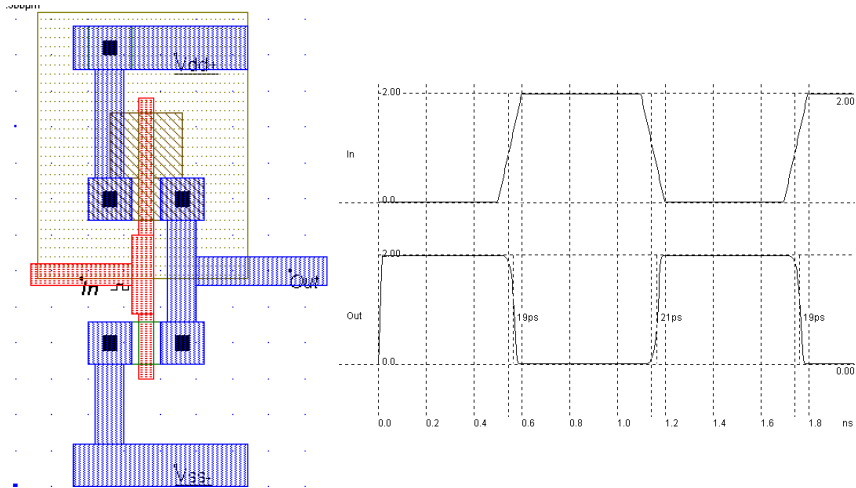
• Diffusion : résistivité plus forte

- Interconnexions courtes
- Capacité élevée

92

demo**Exemple : inverseur****ENSSAT**
LANNION

- TP microélectronique sur logiciel MicroWind



93

II Conception des cellules MOS

ENSSAT
LANNION

1. Circuits logiques combinatoires

- Logique Complémentaire (CMOS)
- Logique nMOS - Logique Pseudo-nMOS
- Logique d'interrupteurs

2. Dessins de masques

- Règles de dessin - Usage des diverse couches
- Diagrammes bâtons

3. Circuits logiques séquentiels

- Mémoires élémentaires
- ROM/RAM

4. Délais et Consommation

- Rappels - Estimation des délais, modèle RC
- Sortance - Consommation statique et dynamique
- Consommation électrique

5. Interconnexions

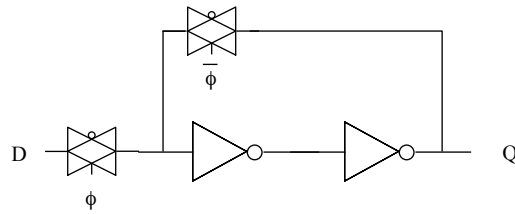
94

II.3 Circuits séquentiels

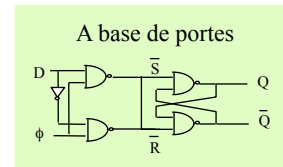
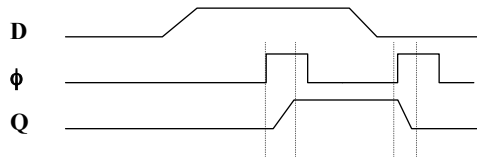
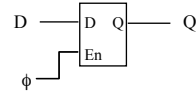
1 Mémoires élémentaires

1.1 Mémorisation statique par rétroaction

Latch : 2 inverseurs rebouclés



$\phi = 1$: Q enregistre la valeur de D
 $\phi = 0$: D est déconnecté, Q s'auto-entretient



95

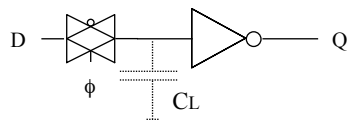
Circuits séquentiels

1.2 Mémorisation dynamique par capacités

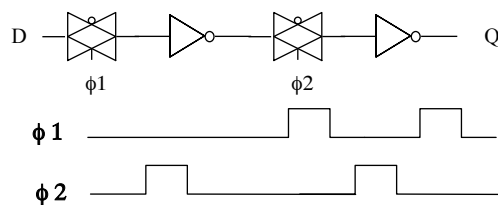
Capacités grille/substrat = f(surface)

- L'état est conservé pour une durée de quelques ms

Courant de fuite
 Rafraîchissement



Ex. Registre à décalage



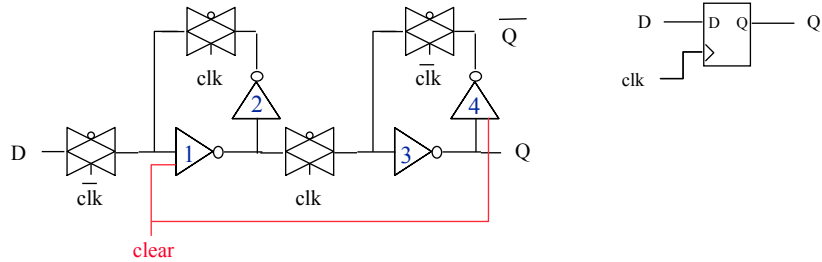
96

Circuits séquentiels

1.3 Bascule D (Flip-Flop)

Commande par front

- Deux latches en série
- Supprime la transparence
- Très sensible aux aléas de l'horloge



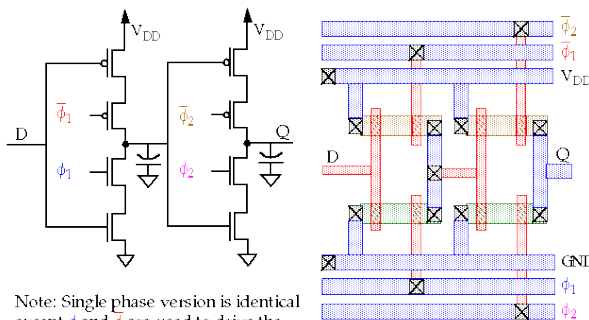
- clk = 0 : chargement de D (valide) dans 1
- le latch crée par 1 et 2 garde la valeur de D quand clk = 1 jusqu'à que !D soit transféré au deuxième latch 3 et 4
- signal **clear asynchrone** : on remplace les inverseurs 1 et 4 par des portes NAND

97

Circuits séquentiels

• Optimisations de la bascule D

- C²MOS Flip-Flop - front descendant
- Insensible aux décalages d'horloges
- permet d'augmenter la vitesse



Note: Single phase version is identical except ϕ and $\bar{\phi}$ are used to drive the n/p-trans on the left while $\bar{\phi}$ and ϕ are used to drive the n/p-trans on the right.

98

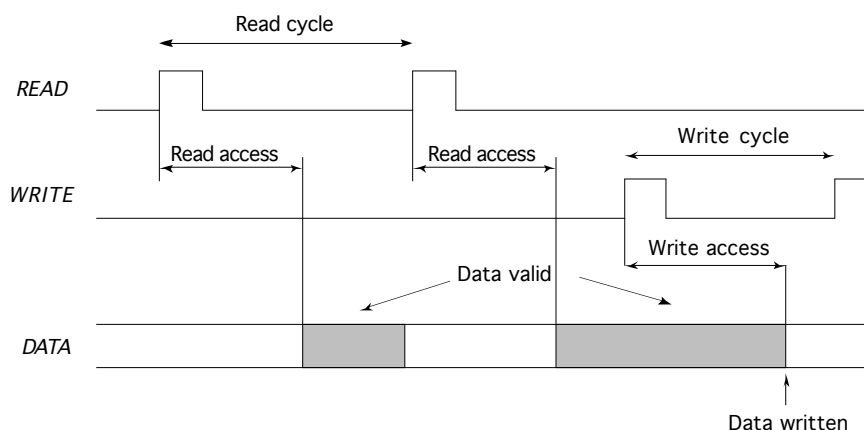
II.3.2

Mémoires RAM / ROM

- **Mémoire mortes**
 - ROM : point mémoire élémentaire de type "diode" par masquage
 - PROM : point mémoire élémentaire de type "transistor" avec fusible (métallisation ou avalanche)
 - EPROM : point mémoire élémentaire de type "MOS à grille flottante"
 - Pointe de courant : avalanche (MOS CC)
 - UV : débloque le MOS
 - EEPROM : point mémoire élémentaire de type "MOS à deux grilles dont une flottante"
 - écriture : électron enlevé de la grille flottante par effet tunnel : "1"
 - effacement : écriture d'un "0" : injection d'un électron par effet tunnel
- **Mémoire vives**
 - DRAM : point mémoire élémentaire de type "latch dynamique" (capacité)
 - cellules simples, cycle de rafraîchissement (# ms)
 - n bits, 2ⁿ points mémoire, n amplificateurs de L/E, n interrupteurs de rafraîchissement
 - SRAM : point mémoire élémentaire de type "latch statique"
 - cellules plus complexes, pas de rafraîchissement
- **Paramètres communs**
 - Paramètres statiques : taille
 - Paramètres dynamiques : T_{accès}, T_p, T_{maintien}, Durée d'impulsion R/W, ...
 - Buffers d'E/S, Décodage, ...

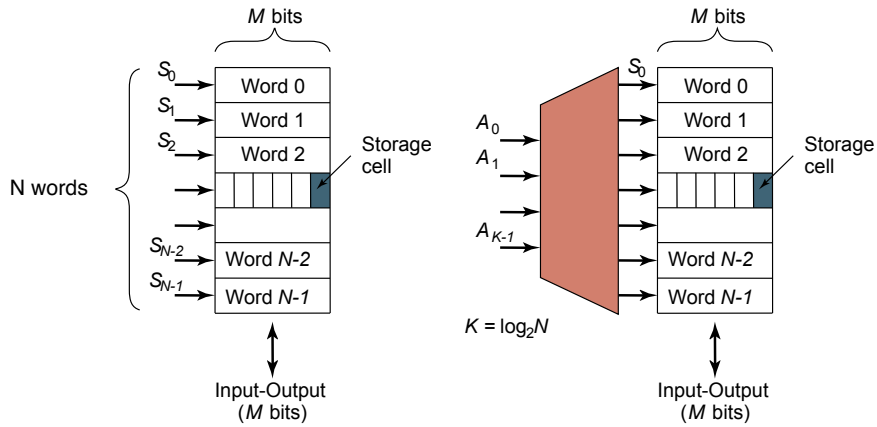
99

Timing mémoire : définitions



100

Architecture mémoire : décodeurs



Intuitive architecture for $N \times M$ memory
Too many select signals:
 N words == N select signals

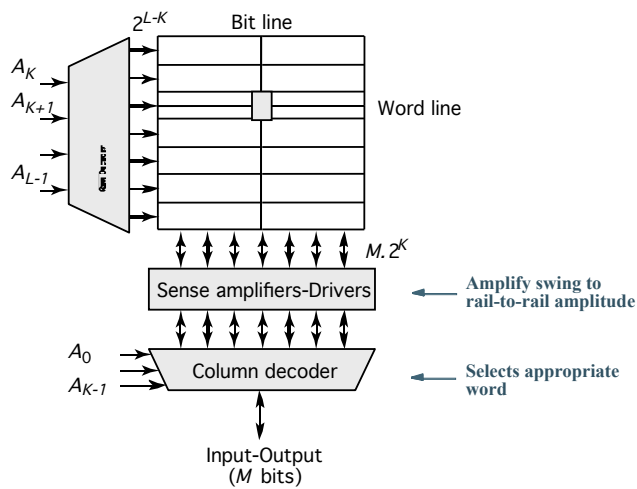
Decoder reduces the number of select signals
 $K = \log_2 N$

Adapted from J. Rabaey et al., Digital Integrated Circuits, Second Edition. Copyright 2003 Prentice Hall/Pearson.

101

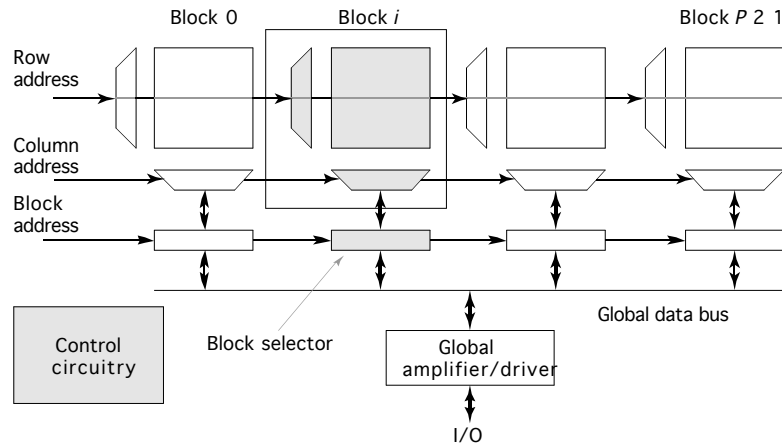
Architecture mémoire générale

Problem: ASPECT RATIO or HEIGHT >> WIDTH



102

Architecture mémoire hiérarchique



Advantages:

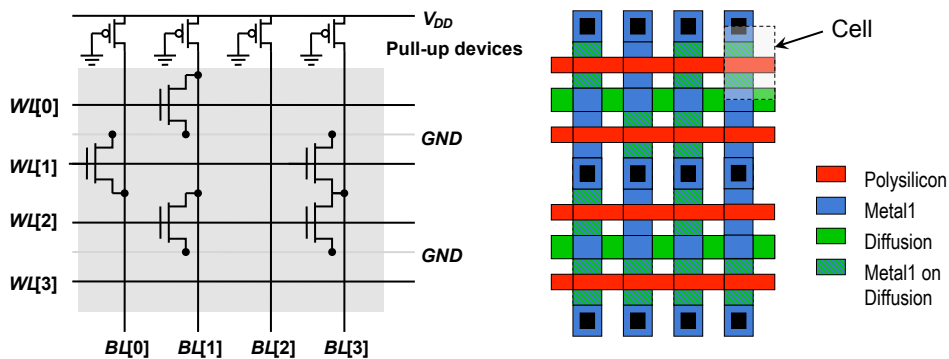
1. Shorter wires within blocks
2. Block address activates only 1 block => power savings

103

Mémoires ROM

• Mos ROM (type NOR)

- Niveau du point $P[i,j]$: Ligne (i) sélectionnée $WL[i]$ (word line)
Colonne (j) sélectionnée $BL[j]$ (bit line)
- Si un transistor existe $WL[i]=1$ impose transistor passant, le niveau obtenu sur la ligne j est égale à 0. (connecté au GND)
- Si absence de transistor : connexion directe avec V_{DD} le niveau par défaut obtenu vaut 1
- Programmation par masque réalisant aux points (0) voulu un transistor NMOS par création d'un contact métal-diffusion

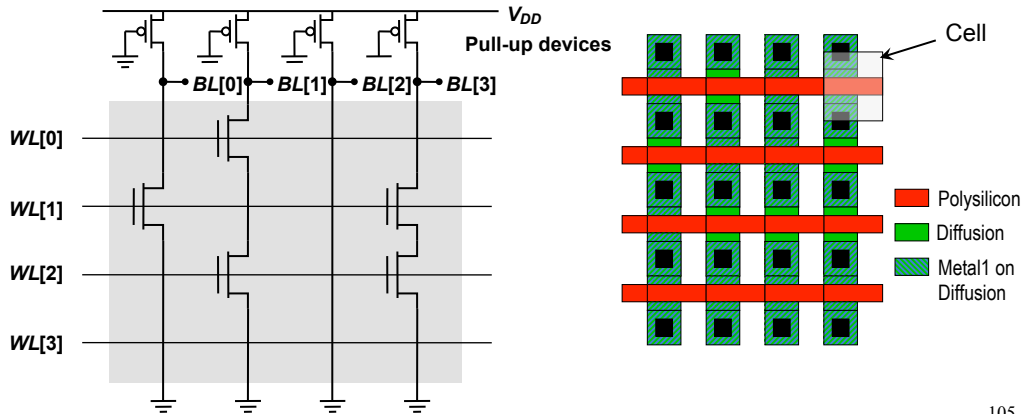


104

Mémoire ROM

• Mos ROM (type NAND)

- Tous les WL[i]=1 par défaut exceptée la ligne sélectionnée
- Si absence de transistor : connexion directe avec VDD
- Programmation par masque réalisant aux points (0) voulu un transistor NMOS
- Pas de contact avec VDD ou GND : réduction de la taille
- Diminution en performance par rapport aux ROM NOR

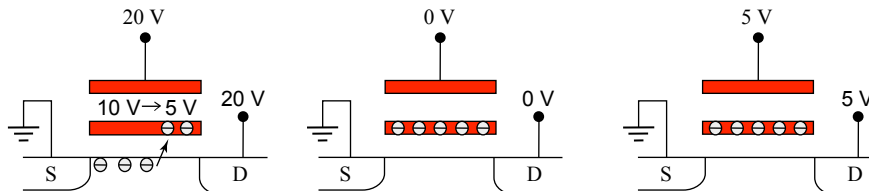


105

Mémoires PROM

• PROM

- Transistor diffusés : programmation du seuil des transistors. Suivant la tension de seuil obtenu, le transistor est ou non valide
- Invention du concept en 1984
- EPROM : effaçable par ultra-violet : grande densité mais lent et extraction de la mémoire
- EEPROM : intégration plus faible (2tr/point au lieu de 1), effaçable sur site mais reste lent (5µms/mot)
- Flash EPROM intégration et vitesse. (Effacement par le substrat pour l'ensemble)
ex : Hitachi, 1998, Flash de 256Mo
- Principe : **Floating-Gate transistor** ou transistor à tension de seuil programmable



Forte tension créant un phénomène d'avalanche, les électrons sont happés et piégés sur la grille flottante.

Les électrons restent piégés pour une tension inférieure.

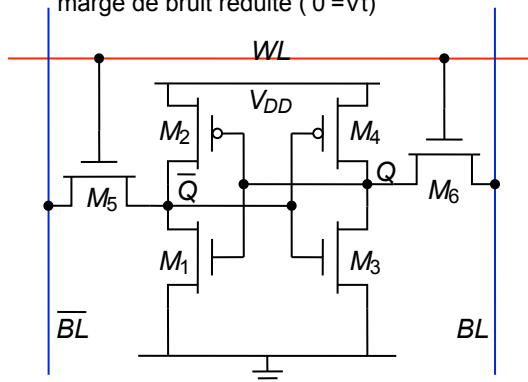
En appliquant 5V, l'effet transistor ne peut avoir lieu, la tension de seuil résultante est de 7.5V.

106

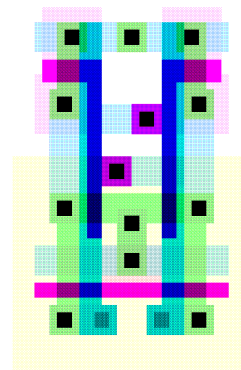
Mémoires SRAM

Mos SRAM

- 6 transistors nécessaires pour réaliser un point mémoire : flip flop où WL remplace l'horloge
- Bi-polarité des bit-lines requis pour la marge de bruit pendant les cycles de lecture et d'écriture
- Sélection de la ligne : $WL[i] = 1$
- Ecriture d'un 0 : $BL=0$ et $!BL=1 \Leftrightarrow$ Reset
- Lecture : BL et $!BL$ préchargé à 1
- Autre solution : inverseur à NMOS résistif \Rightarrow 4 transistors mais consommation et marge de bruit réduite ($'0'=V_t$)



Lecture de Q=1

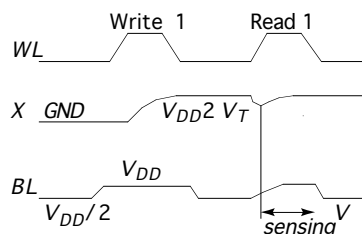
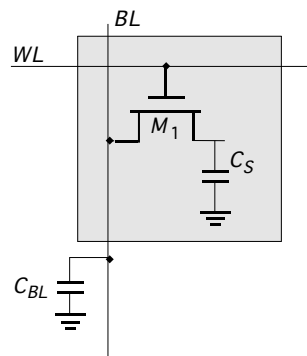


107

Mémoire DRAM

Mos DRAM à 1 transistor

- Rafraîchissement nécessaire si la Ram n'est pas modifiée : 1 lecture suivie d'écriture (tous les 2-4ms)
- Ecriture : $WL = 1$, la valeur à mémoriser est placée sur BL , C_s se charge ou se décharge en conséquence
- Lecture : $WL = 1$, BL chargée à $V_{DD}/2$, ensuite un échange de charge à lieu entre C_s et C_{bl}
- Amplification nécessaire après lecture : vitesse et niveau
- Intégration explicite d'une capacité supplémentaire C_s



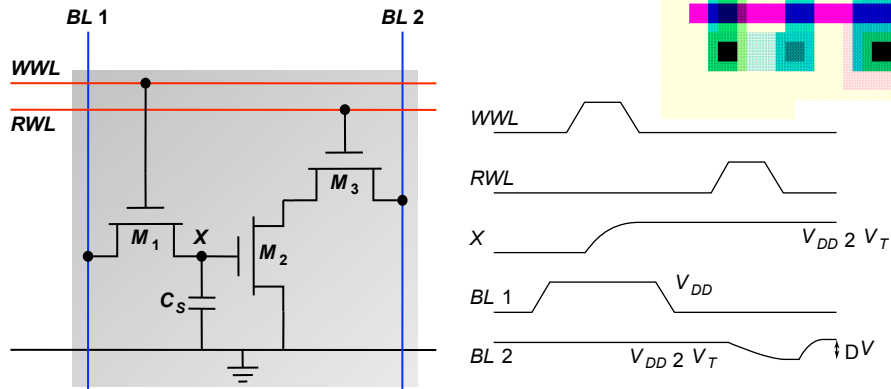
$$\Delta V = (V_{bit} - V_{DD}/2) \times \frac{C_s}{C_s + C_{BL}}$$

108

Mémoire DRAM

• DRAM 3 transistors

- 2 lignes WL et BL : lecture et écriture, pas d'amplification



109

II Conception des cellules MOS

1. Circuits logiques combinatoires

- Logique Complémentaire (CMOS)
- Logique nMOS - Logique Pseudo-nMOS
- Logique d'interrupteurs

2. Dessins de masques

- Règles de dessin - Usage des diverse couches
- Diagrammes bâtons

3. Circuits logiques séquentiels

- Mémoires élémentaires
- ROM/RAM

4. Délais et Consommation

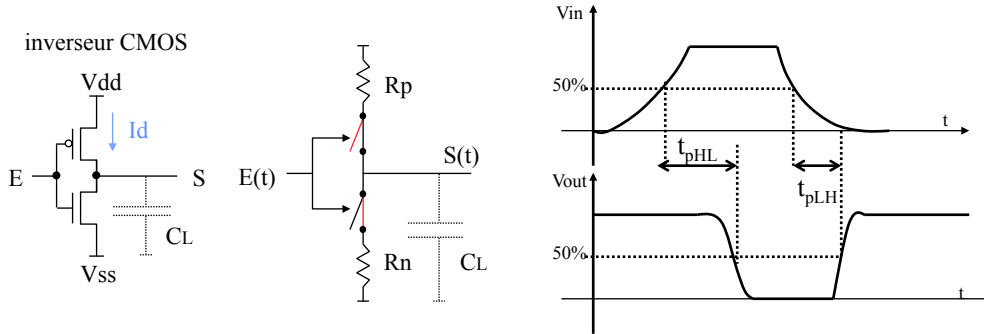
- Rappels - Estimation des délais, modèle RC
- Sortance - Consommation statique et dynamique
- Consommation électrique

5. Interconnexions

110

II.4.1. Temps de propagation

• Rappels



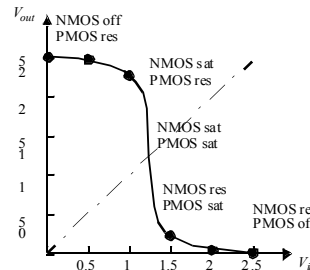
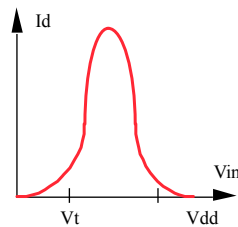
Charge : $E(t) = 0 : S(t) = V_{dd}[1 - e^{-t/\tau_p}] \quad \tau_p = R_p.C_l$
 Décharge : $E(t) = 1 : S(t) = V_{dd}.e^{-t/\tau_n} \quad \tau_n = R_n.C_l$

$$T_p = \text{MAX}(T_{p_{LH}}, T_{p_{HL}})$$

111

Caractéristique de transfert

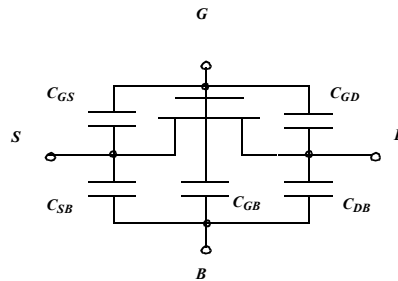
- **Etat stable : $E = V_{ss}$ ou V_{dd}**
 - Aucun courant à part les courants de fuite (négligés en général)
 - Dissipation de puissance # 0 = Pstat
- **Etat transitoire : $V_t < E < V_{dd} - V_t$**
 - Deux transistors partiellement passants
 - Dissipation de puissance importante Pdyn



- **Consommation dynamique : $P_{dyn} = F_T.C_{eff}.V_{dd}^2$**
 - C_{eff} : capacité de charge effective, $C_{eff} = C_l \cdot P(0 \leftrightarrow 1)$
 - F_T : fréquence des transitions
 - pour des fronts rapides (attention aux fronts lents!)

112

Éléments parasites du MOS (rappel)



NMOS Enhancement

Résistance drain/source: $R_{on} = \frac{1}{K(V_{dd} - V_t)} = \frac{1}{k(V_{dd} - V_t)} \frac{L}{W}$

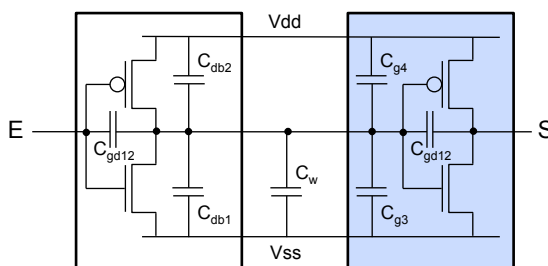
Capacité de grille: $C_g = \frac{\epsilon \cdot W \cdot L}{tox} = W \cdot L \cdot Cox$

Capacité drain / source / bulk: $C_{sb} = C_{db} \approx W \cdot L \cdot Cj$

113

Éléments parasites

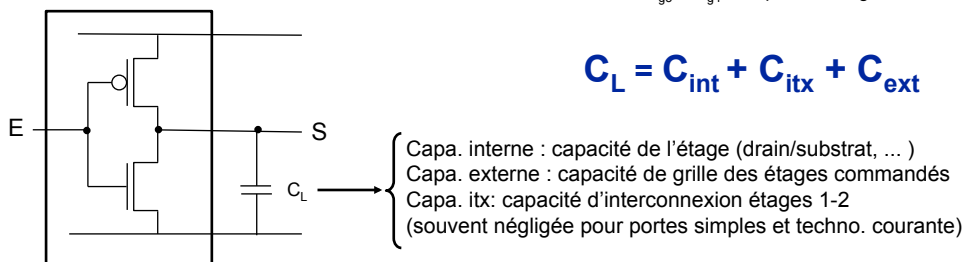
• Capacités grille - drain - source / substrat



- C_{db2} : capa. drain Pmos (C_{DP})
- C_{db1} : capa. drain Nmos (C_{DN})
- C_{gd12} : capa. grille - drain Nmos et Pmos
- $C_{DP} + C_{DN} = C_{DN}(1+a)$
- avec $a = (W/L)_P / (W/L)_N$
- Cint** = $C_{db1} + C_{db2} + 2 \cdot C_{gd12}$

- C_w : capa. d'interconnexion = **Citx**
- $C_{g3, g4}$: capa. grilles de l'étage suivant
- Cext** = $C_{g3} + C_{g4}$ = capa. de charge

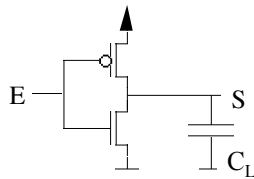
$C_L = C_{int} + C_{itx} + C_{ext}$



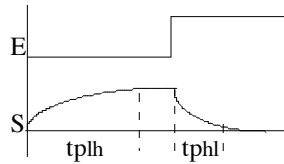
114

Modèle simplifié

- Transistors passants : *résistances*
- Nœuds du circuit : *capacités*
- Unités : R_n = résistance d'un transistor NMOS
 C_L = capacité totale de charge
- Transistor type P : résistance R_p



$$t_{p\text{lh}} = R_p \cdot C_L$$

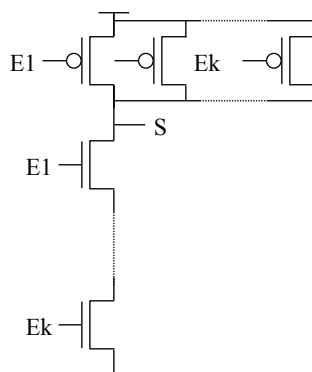


$$t_{p\text{hl}} = R_n \cdot C_L$$

115

Exemples

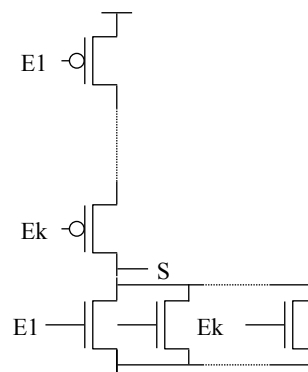
NAND k entrées



$$t_{p\text{lh}} = R_p \cdot C_l$$

$$t_{p\text{hl}} = k \cdot R_n \cdot C_l$$

NOR k entrées



$$t_{p\text{lh}} = k \cdot R_p \cdot C_l$$

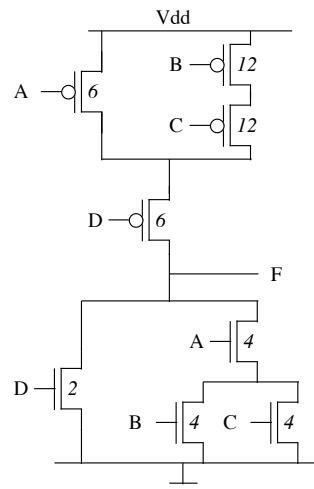
$$t_{p\text{hl}} = R_n \cdot C_l$$

116

Taille des transistors

• Inverseur CMOS

- Une technologie ST 0.25 μ donne, pour un transistor NMOS $2\lambda:2\lambda$ (L:W), des valeurs de Rn_u et Cgn_u de 1250Ω et $0.3fF$.
- Pour des transistors NMOS de taille $2\lambda:6\lambda$, et des transistors PMOS de taille $2\lambda:12\lambda$.
- $Rn =$ $Rp =$
- $Cgn =$ $Cgp =$
- Temps de propagation de l'inverseur composé de ces transistors chargé par un inverseur du même type ?



117

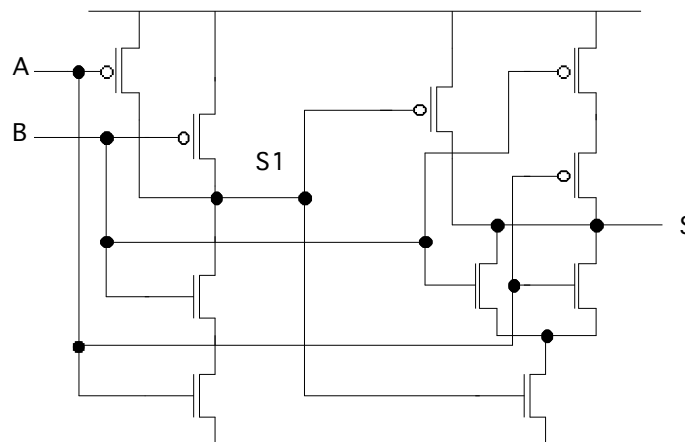
• Fonction complexe

- Même technologie que l'inverseur
- $T_{plh} =$
- $T_{phl} =$
- Indiquez les chemins critiques

Exemple

• TD

- Exprimez S1 en fonction de A et B. Exprimez S en fonction de S1, A et B
- En déduire la fonction global de la cellule
- Donnez le nombre équivalent de portes ainsi qu'une estimation de son temps de traversée.

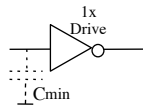
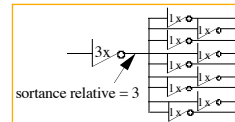
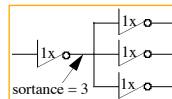


118

2. Entrance - Sortance

Entrance / Sortance (Fan-in / Fan-out)

- Entrance (Fan-In) : rapport entre la capacité d'entrée de la porte et C_{min} , également appelé puissance de commande (drive)
- Sortance (Fan-Out) : rapport entre la capacité qui charge la porte et C_{min}
- Sortance relative : rapport entre le Fan-out et le Fan-in de l'étage suivant.
 $SR = FOUT / FIN$
- Unité = inverseur élémentaire (Transistor $2\lambda \times 2\lambda$)



Porte	FIN	FOUT	SR
A	3	4	4/3
B	2		
C	1		
D	1		

119

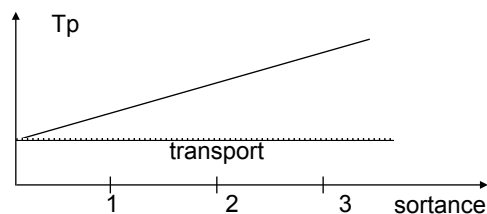
Performances

Temps de propagation

$$T_p = \text{délai de transport} + \text{délai inertiel} = D_t + D_i = D_t + SR \cdot D_u$$

↓ Technologie
Température
Tension Alim.

↓ Capacité de charge
Sortance relative



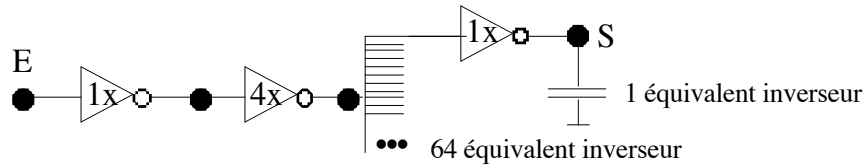
SR : sortance relative
Du : délai unitaire

120

Exemple

- **TD Délais d'un arbre d'horloge**

- Donner les sortances relatives des différents nœuds du schéma ci dessous
- En déduire l'estimation du temps de propagation de E vers S (T_p) du circuit. On fixe le délai de transport de l'inverseur égal à 0.29ns et le délai unitaire égal à 0.17ns
- Peut on améliorer ce schéma afin de diminuer le temps de propagation T_p ?

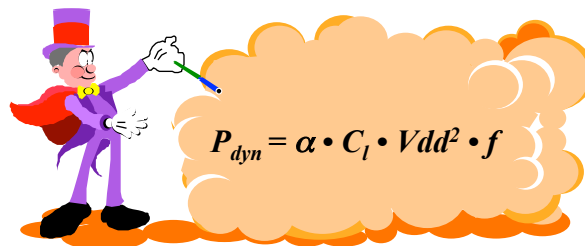


121

3. Consommation

$$P = P_c + P_{cc} + P_s$$

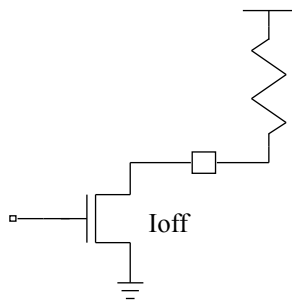
- **Puissance de charge : P_c**
 - Charge et décharge des capacités du circuit
- **Courants de court-circuit : P_{cc}**
 - Chemin de court circuit pendant la commutation des structures logiques statiques
- **Courants de fuite : P_s**
 - Jonctions, fonctionnement sous le seuil



122

Puissance statique (1)

- **Courants de fuite (Subthreshold Leakage Current)**
 - Même lorsque $V_{gs} < V_t$ les transistors MOS ne sont pas complètement fermés (pA to nA)
 - Si on diminue V_{dd} ($\#V_t$) alors ces courants peuvent devenir significatifs
- **Courants inverses de diode Source/Drain - Substrat**



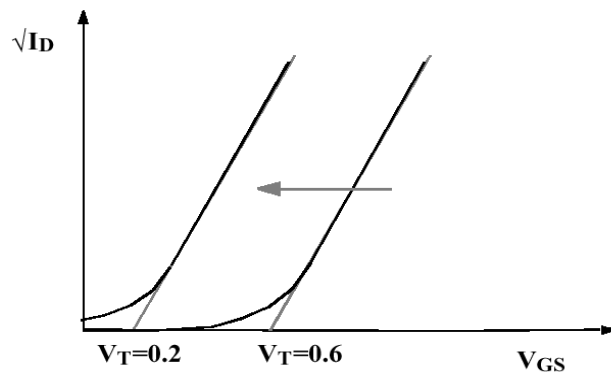
⇒ Négligeable tant que $V_{dd} > V_t$

$$I_{off} = I_0 e^{-\frac{V_T}{n \cdot U_T}}$$

123

Puissance statique (2)

- **Impact de la tension de seuil**



- **Technologies récentes sont à deux- V_t**
 - Cellules *Low-Leakage* ou *High-Performance*

124

Puissance statique (3)

- **Négligeable ou pas ?**
 - Souvent négligée pour les blocs logiques ayant beaucoup d'activité
 - Mémoires de grandes tailles, peu d'activité (relativement au nombre de transistors) → puissance statique non négligeable
 - Technologies nanométriques
 - Diminution de Vdd et donc de Vt
 - Augmentation de l'influence de la puissance statique
 - Optimisations ?

$$P_s = N_{Tr} \cdot V_{dd} \cdot I_0 \cdot e^{-\frac{V_T}{n \cdot U_T}}$$

125

Puissance statique (4)

- **Technologie 130 nanomètres**

I _{static} (A)	slow-slow	typical	fast-fast
-10°C	2.1E-06	1.2E-05	7.0E-05
25 °C	1.7E-05	8.2E-05	3.9E-04
50 °C	6.1E-05	2.5E-04	1.1E-03

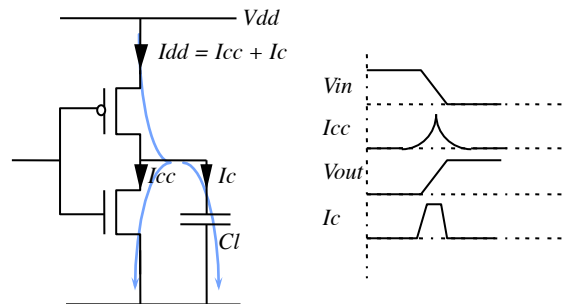
- **Circuit avec 5 millions de transistors MOS, 0.6 Volt**
 - 1 mA leakage
 - Supérieur au courant total spécifié!

[Piguet03]

126

Puissance dynamique (1)

- Courants de charge/décharge des capacités : I_c



$$P_c = \alpha \cdot f \cdot C_l \cdot V_{dd}^2$$

α : taux d'activité, C_l : capacité totale de charge, f : fréquence

127

Puissance dynamique (2)

- Energie par transition = $C_l \cdot V_{dd}^2$
- Puissance = Energie par transition • Vitesse de transition
= $C_l \cdot V_{dd}^2 \cdot f$
- La puissance est peu fonction de la taille des transistors de la cellule considérée

$$\begin{aligned} P_c &= C_l \cdot V_{dd}^2 \cdot f_{0 \rightarrow 1} \\ &= C_l \cdot V_{dd}^2 \cdot f \cdot P_{0 \rightarrow 1} \\ &= \alpha \cdot C_l \cdot V_{dd}^2 \cdot f \\ &= C_{EFF} \cdot V_{dd}^2 \cdot f \end{aligned}$$

- C_{EFF} est la capacité effective = $C_l \cdot P_{0 \rightarrow 1}$

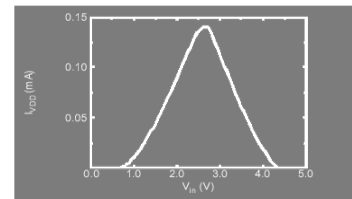
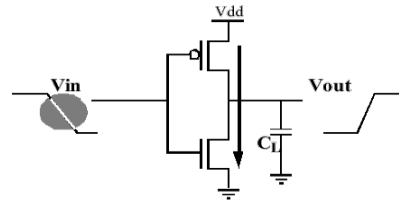
Puissance ➔ **Dépend des données**
Dépend de l'activité

128

Puissance dynamique (3)

- **Courants de court-circuit : I_{CC}**

- Chemin de court circuit pendant la commutation des structures logiques statiques : NMOS et PMOS conduisent simultanément
- Pour les circuits *conçus correctement* $\approx 15\%$
- Fronts lents ?

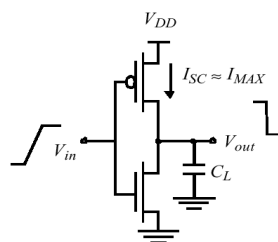


129

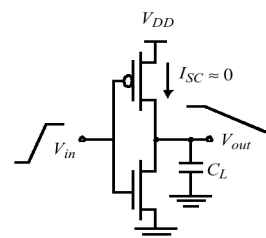
Puissance dynamique (4)

- **Courants de court-circuit : impact des fronts lents**

- Temps de court circuit plus long
- Dépend de la charge de la porte



Capacité faible



Capacité élevée

$$P_{CC} = \alpha \cdot f \cdot \tau \cdot K \cdot (W/L) \cdot (V_{DD} - 2V_t)^3 / 2$$

α : taux d'activité, τ : temps de montée, K : techno, W/L : taille

130

Puissance dépend des données

- Exemple : porte inverseur $P(0 \rightarrow 1) = P(\text{OUT} = 0) \cdot P(\text{OUT} = 1) = 1/4$
- Exemple : porte NOR statique à 2 entrées

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

Fonction NOR

Hypothèse : $P(A=1) = 1/2$ et $P(B=1) = 1/2$

$$P(\text{OUT}=1) = 1/4$$

$$P(0 \rightarrow 1) = P(\text{OUT} = 0) \cdot P(\text{OUT} = 1)$$

$$= 3/4 \cdot 1/4 = 3/16$$

$C_{eff} = 3/16 \cdot CI$

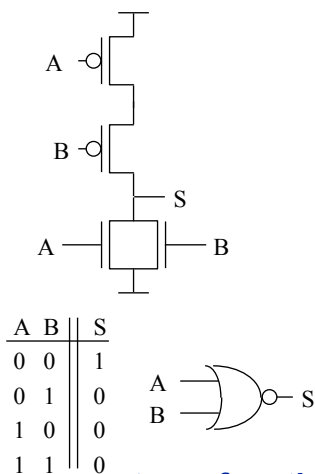
- Fonction de la statistique des entrées

	$P_{0 \rightarrow 1}$
AND	$(1 - P_A P_B) P_A P_B$
OR	$(1 - P_A)(1 - P_B) (1 - (1 - P_A)(1 - P_B))$
XOR	$(1 - (P_A + P_B - 2 P_A P_B)) (P_A + P_B - 2 P_A P_B)$

131

Probabilités de transition

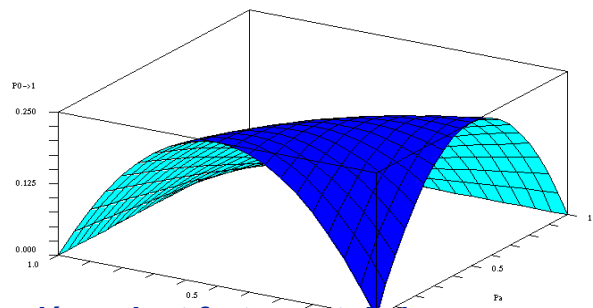
- Probabilités de transition d'une porte NOR



$$P_A = P(A=1) \quad P_B = P(B=1)$$

$$P_1 = P(S=1) = (1 - P_A)(1 - P_B)$$

$$P_{0 \rightarrow 1} = P_0 \cdot P_1 = (1 - (1 - P_A)(1 - P_B)) (1 - P_A)(1 - P_B)$$

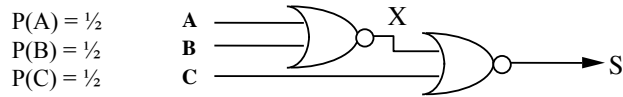


- α est une fonction dépendant fortement de la statistique des signaux

132

Probabilités de transition

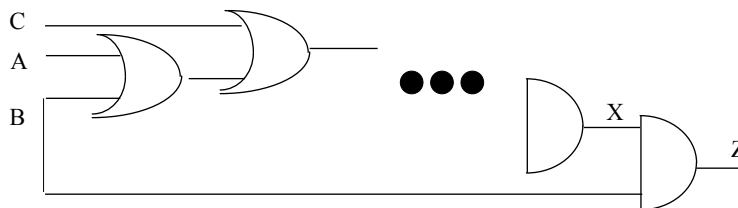
- Propagation des probabilités



133

Probabilités de transition

- Problème du traitement de la reconvergence



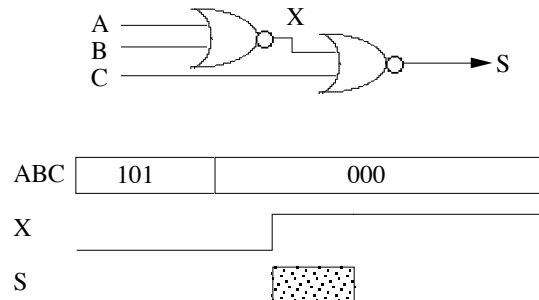
$$P(Z=1) = P(B=1) \cdot P(X=1 \mid B=1)$$

- Devient rapidement complexe!

134

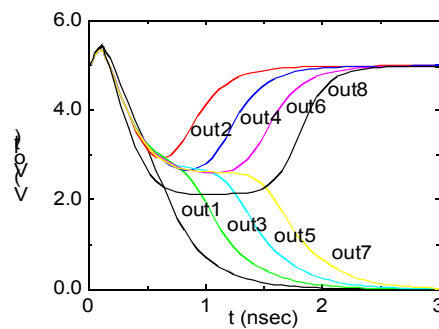
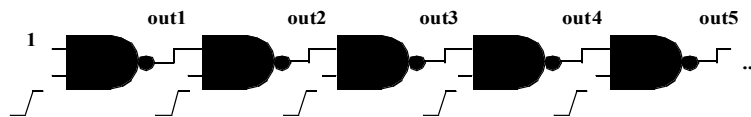
Glitch en CMOS

- Glitch (hasards dynamiques)
- Transitions dynamiques parasites
- Consommation importante (ET INUTILE) de courant



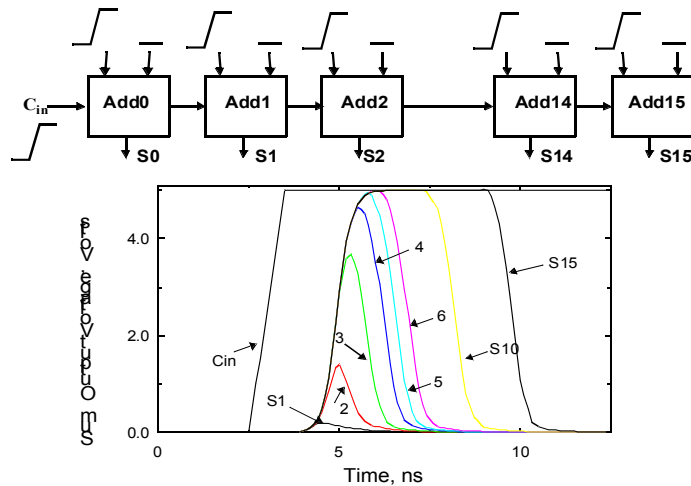
135

Example 1: Chain of NAND Gates



136

Example 2: Adder Circuit



137

II.5. Interconnexions

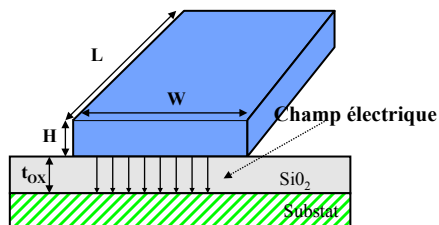
- **Pourquoi s'intéresser aux interconnexions ?**

- Constitue une charge supplémentaire en sortie de porte
- Diminution des technologies \Rightarrow Augmentation de leurs effets parasites
- Augmentation de la taille des puces \Rightarrow Idem

- **Modèle de capacité**

- Capacité d'interconnexion :

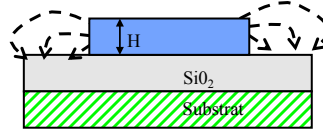
$$C_{\text{int}} = \frac{\epsilon_{\text{ox}}}{t_{\text{ox}}} WL$$



138

Interconnexions

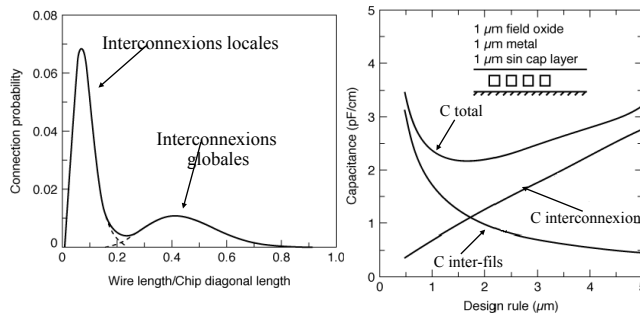
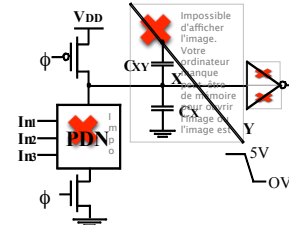
- **Autres**
 - Capacité de bord : (modèle empirique)



- Capacités inter-fils (cross talk) :

$$\Delta V_X = \frac{C_X}{C_X + C_{XY}} 5V$$

Ex: 5x5 μm *Overlap*:
0.35 V Interférence



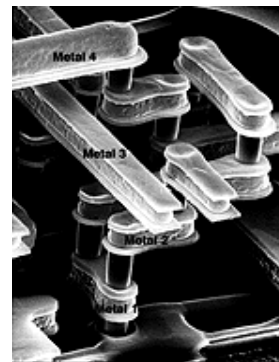
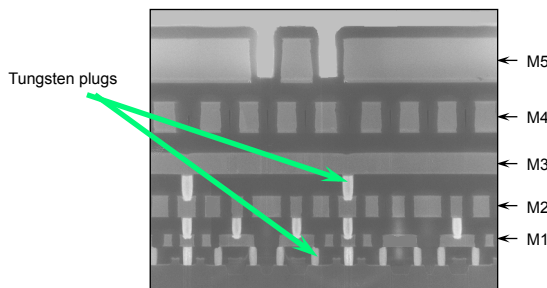
139

Interconnexions

- **Modèle de résistances**

$$R = \rho \frac{L}{HW}$$

- Réduction de la techno ⇒ augmentation de la résistance en 1/H ...
- Solutions :
 - Conserver H constant
 - Augmenter le nombre de couches d'interconnexions (5 en 1998)
 - Résistances de contact optimisées



140

Interconnexions

- **Pad de sortie**

- Mise en parallèle de transistor de petite taille pour réduire la résistance et la capacité du câblage.

